

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-226039

(43) 公開日 平成4年(1992)8月14日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/336				
29/784				
21/20		9171-4M		
21/268	B	7738-4M		
		9056-4M		
			H 0 1 L 29/78	3 1 1 Y
審査請求 未請求 請求項の数 3 (全 6 頁) 最終頁に続く				

(21) 出願番号 特願平3-115464

(22) 出願日 平成3年(1991)4月19日

(31) 優先権主張番号 特願平2-120111

(32) 優先日 平2(1990)5月11日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000000044

旭硝子株式会社

東京都千代田区丸の内2丁目1番2号

(72) 発明者 増茂 邦雄

神奈川県横浜市神奈川区羽沢町1150番地

旭硝子株式会社中央研究所内

(72) 発明者 結城 正記

神奈川県横浜市神奈川区羽沢町1150番地

旭硝子株式会社中央研究所内

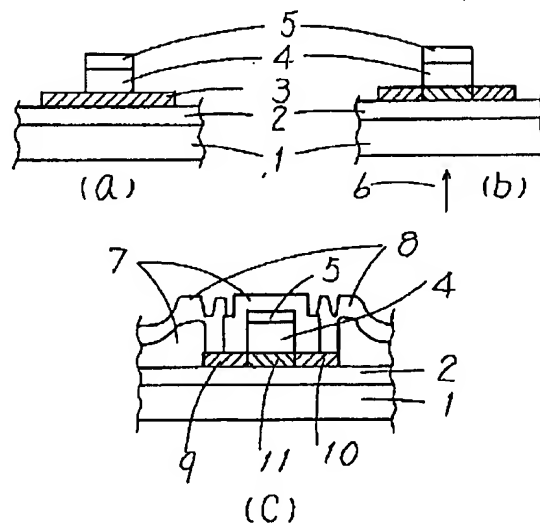
(74) 代理人 弁理士 泉名 謙治

(54) 【発明の名称】 多結晶半導体薄膜トランジスタの製造方法及びアクティブマトリックス基板

(57) 【要約】

【目的】 大面積のTFT基板を生産性良く製造することができる。

【構成】 非単結晶半導体3上にゲート絶縁膜4・ゲート電極を形成し、このゲート電極をマスクとしてソース・ドレイン領域の非単結晶半導体3に不純物イオンを注入したのち、透明絶縁基板1の裏面よりレーザー光6を照射し、非単結晶半導体3を完全な熔融状態に至らしめることなく、ゲート電極下の該非単結晶半導体3の多結晶化又は結晶性向上、ソース・ドレイン領域の非単結晶半導体3の多結晶化及び活性化又は、結晶性向上及び活性化を同時に行う。



【特許請求の範囲】

【請求項1】透明絶縁基板上に形成された非単結晶半導体をレーザー光によりビームアニールして多結晶化する薄膜トランジスタの製造方法において、該非単結晶半導体上にゲート絶縁膜・ゲート電極を形成し、該ゲート電極をマスクとしてソース・ドレイン領域の該非単結晶半導体に不純物イオンを注入したのち、該透明絶縁基板裏面よりレーザー光を照射し、上記非単結晶半導体を完全な溶融状態に至らしめることなく、該ゲート電極下の該非単結晶半導体の多結晶化又は結晶性向上、ソース・ドレイン領域の該非単結晶半導体の多結晶化及び活性化又は、結晶性向上及び活性化を同時に行うことを特徴とする多結晶半導体薄膜トランジスタの製造方法。

【請求項2】レーザービームの走査速度をビームスポット径×5000/秒以上として、透明絶縁基板上の非単結晶半導体を完全な溶融状態に至らしめることなく、多結晶化させることを特徴とする請求項1の多結晶半導体薄膜トランジスタの製造方法。

【請求項3】請求項1又は2の多結晶半導体薄膜トランジスタの製造方法を使用して製造されたアクティブマトリックス基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は画像表示装置等の駆動に使用される多結晶半導体薄膜トランジスタの製造方法等に関するものである。

【0002】

【従来の技術】近年平面ディスプレイ等の画像表示素子への応用を目的とした薄膜トランジスタ(TFT)の開発が活発に行われている。多結晶半導体TFTは非晶質半導体薄膜を用いた場合と比べ高性能・高信頼性等の長所があるが、製膜に高温を要するという短所がある。そこで、高温プロセスを経ずに多結晶半導体薄膜を得ることができるレーザー光照射による非晶質半導体薄膜の結晶化技術の研究・応用が盛んに行われている。

【0003】また、TFTの動作速度を向上させるためにゲート・ドレイン間の寄生容量を減少させる試みが行われているが、ソース電極(以下ソースという)・ドレイン電極(以下ドレインという)をゲート電極(以下ゲートという)と自己整合的に形成する方法はきわめて有効な方法である。

【0004】ソース・ドレイン領域をイオン注入法によりゲートと自己整合的に形成するレーザーによる多結晶化TFTについて、図2に従って従来の製造方法を説明する。図2(a)は、従来のTFTの製造方法の最初の段階を示す断面図であり、図2(b)は、TFTの製造方法の図2(a)に示す次の段階を示す断面図である。

【0005】絶縁基板21上にパッシベーション膜22、非晶質半導体層23を積層し、レーザー光照射多結晶化を行い、フォトリソグラフィにより多結晶半導体薄膜26の

パターンを形成、その上にゲート絶縁膜24、ゲートの電極となる導電材料25を積層し、再びフォトリソグラフィによりゲートのパターンを形成、ゲート絶縁膜もゲートと同じパターンにエッチングする。

【0006】ここでイオン注入法によりゲートをマスクとして多結晶半導体層26に不純物イオンをドーピングし、不純物イオン活性化のための熱処理を行いソース・ドレイン領域を形成する。さらに層間絶縁膜を堆積し、ソース・ドレイン領域上にコンタクトホールを形成し、その上にソース及びドレインを形成する。

【0007】

【発明が解決しようとする課題】このような従来の熱処理により不純物イオンの活性化を行う方法では、基板としてガラスなどの生産性の良い耐熱性の低い材料を用いた場合、不純物イオンの活性化に十分な高温で熱処理することができず、ソース・ドレイン領域の抵抗は十分に下がらない。

【0008】また、十分な高温で熱処理するためには生産性の悪い石英などの耐熱性の良い基板材料を用いなければならない、大面積の基板を使用することができない。従って従来の方法では大面積ディスプレイを実現すること、あるいは大面積の基板から複数個の製品を製造しコストダウンを図ることができないという問題があった。

【0009】

【課題を解決するための手段】本発明は上記の問題点を解決すべくなされたものであり、透明絶縁基板上に形成された非単結晶半導体をレーザー光によりビームアニールして多結晶化する薄膜トランジスタの製造方法において、該非単結晶半導体上にゲート絶縁膜・ゲート電極を形成し、該ゲート電極をマスクとしてソース・ドレイン領域の該非単結晶半導体に不純物イオンを注入したのち、該透明絶縁基板裏面よりレーザー光を照射し、上記非単結晶半導体を完全な溶融状態に至らしめることなく、該ゲート電極下の該非単結晶半導体の多結晶化又は結晶性向上、ソース・ドレイン領域の該非単結晶半導体の多結晶化及び活性化又は、結晶性向上及び活性化を同時に行うことを特徴とする多結晶半導体薄膜トランジスタの製造方法を提供するものである。

【0010】以下本発明を図面に従って説明する。

図1(a)は、本発明の製造方法にかかる最初の段階を示す断面図である。

図1(b)は、図1(a)の次の段階を示す断面図である。

図1(c)は、本発明の最終段階を示す断面図である。

【0011】図1(a)、(b)、(c)において、まず、ガラス、セラミック、プラスチック等の透明絶縁基板1上にプラズマCVD、スパッタリング、減圧CVD、常圧CVD等によりSiO₂、SiN、SiON、TaO等の単層または多層膜からなるパッシベーション膜2を膜厚50～1000nmの範囲で形成する。その

上にシリコン (Si)、ゲルマニウム (Ge) 等の非単結晶半導体たる非晶質半導体層 3 を膜厚 10~500nm の範囲で形成する。10nm 以下は結晶性が悪く、TFT の電気的特性が悪くなり、かつ、レーザーパワーの使用できる範囲が狭くなる。また、500nm 以上は非晶質半導体層 3 がレーザー照射時に剥離し易くなり、好ましくない。望ましい範囲は 50~400nm である。

【0012】この非晶質半導体の替わりに粒径が 50 μ m 未満の微細な結晶粒子が含まれるいわゆる微結晶半導体又は、多結晶半導体をも使用できる。多結晶半導体を使用した場合は、後で行うレーザー照射により、結晶性の向上を施し、TFT の電流増幅率の向上を行うものである。なお、本発明の説明に代表として非晶質半導体を使用するが、本発明は非晶質半導体の替りに、微結晶半導体、多結晶半導体を使用した場合にも適用可能である。

【0013】非晶質半導体として非晶質シリコンを用いた場合、その非晶質シリコンの水素含有量はレーザービームアニール工程を安定に行うために約 0.5~20 原子% の範囲が好ましい。20 原子% 以上は使用可能なレーザーパワーの範囲が狭く非晶質シリコン膜が剥離し易くなり、0.5 原子% 以下の場合には、より大きいレーザーパワーを必要とし、かつ、走査速度を低くしなければならぬ生産性が悪い。より好ましくは 1~10 原子% である。

【0014】このような非晶質シリコンはプラズマ CVD 法により 350℃ 以上の基板温度で形成することができるし、スパッタリング法あるいはイオンクラスタービーム蒸着法により反応容器内の水素分圧を制御して形成することもできるし、減圧 CVD 法等でも形成することができる。

【0015】またプラズマ CVD 法等で形成した水素含有量約 20 原子% 以上の非晶質シリコンを 450℃ 以上の温度で熱処理することにより水素を放出させ、含有量約 10 原子% 以下にして用いることもできる。また薄膜トランジスタの閾値電圧を制御するため、非晶質半導体中にホウ素 (B) あるいはリン (P) などの不純物を数十から数百 PPM 程度膜厚方向に均一あるいは不均一に含んでいてもよい。

【0016】フォトリソグラフィーにより該非晶質半導体層 3 をパターン化し、その上にプラズマ CVD、スパッタリング、減圧 CVD、常圧 CVD 等により SiO₂、SiN、SiON、TaO 等の単層または多層膜からなるゲート絶縁膜 4 を形成する。更にその上に真空蒸着法、スパッタリング法等によりクロム (Cr)、タンタル (Ta)、アルミニウム (Al) 等の単層または多層膜からなるゲート電極となるべきゲート材料を形成する。再びフォトリソグラフィーによりゲートのパターンにゲートの電極となる導体部分 5 を形成する。ゲート絶縁膜 4 も必要に応じて、ゲートと同じパター

ンに一部または全部エッチングする。

【0017】さらにイオン注入法によりゲートをマスクに非晶質半導体層 3 のソース・ドレイン領域になる部分に、リン (P)、ホウ素 (B)、ヒ素 (As) 等の不純物イオンを加速電圧 1~100 kV で $5 \times 10^{14} \sim 1 \times 10^{16}$ 個/cm² ドーピングする。このとき水素 (H)、弗素 (F) 等のイオンが同時に注入されてもかまわないし、PH₃、B₂H₆、BF₃ などの分子イオンが同時に注入されてもかまわない。

【0018】ゲートをマスクとしたので、ゲートの下の非晶質半導体 3 の部分には、P、B 等がドーピングされないために、ソース・ドレイン領域とゲートとの位置関係は位置合わせ不要であり、必然的に (自己整合的に) 決定される。

【0019】ここで透明絶縁基板 1 裏面よりレーザー光 6 を照射し、非晶質半導体層 3 の多結晶化と不純物イオンの活性化を同時に行う。レーザーとしては連続発振アルゴンイオンレーザー、クリプトンイオンレーザー、XeClエキシマレーザー等が使用できるが、生産性、安定性の点からアルゴンイオンレーザーを用いて高速走査により行うことが望ましい。

【0020】ここで高速とは走査速度をビームスポット径 $\times 5000$ /秒以上とすることとし、このとき非晶質半導体は完全な熔融状態に至らしめられることなく多結晶化する。このことは図 3 のようにレーザー光照射の前後で半導体中のイオン分布が変化しないことによって示される。

【0021】図 3 に、シリコン薄膜中の不純物 (ホウ素 (B)) の深さ方向の濃度分布を SIMS (2 次イオン質量分析法) により測定した結果を示す。図 3 において、曲線 (a) は非晶質シリコン中に B イオンを加速電圧 40 kV で注入した後、全く熱処理も行わない状態でのホウ素 (B) の濃度分布である。曲線 (b) はアルゴンイオンレーザーでビーム径 50 μ m、ビームエネルギー 8 W、走査速度 10 m/s の条件で、アニール、多結晶化した後のホウ素 (B) の濃度分布を示す。

【0022】曲線 (c) はパルス XeClエキシマレーザーで 0.8 J/cm² のエネルギーでアニールし、多結晶化した後ホウ素 (B) の濃度分布を示す。曲線 (c) では、シリコン中の Si が拡散しており、多結晶化時にシリコンが完全熔融していることがわかる。これに対して曲線 (b) は曲線 (a) と比べてほとんど変化がなく、シリコンの熔融は起こっていないと考えられる。

【0023】レーザー光照射は大気中で行っても真空中で行っても、あるいは窒素ガス、水素ガス等の雰囲気中に行ってもよい。透明絶縁基板 1 を加熱あるいは冷却してもよいが、アルゴンイオンレーザーの高速走査の場合はこれらの条件の違いの影響は小さいので、生産性の観点から大気中、室温で行うことが望ましい。さらに層間絶縁膜 7 を堆積し、ソース・ドレイン領域上にコンタク

トホールを形成し、その上にソース・ドレイン8を形成する。

【0024】このようにして製造されたものは、P、B等の不純物イオンがドーピングされた低抵抗の多結晶部分9、10、多結晶半導体11を有し、ソース、ドレイン領域として低抵抗な多結晶半導体を有するTFTとなる。なお、多結晶半導体11の部分の領域をチャンネル領域というものとする。

【0025】本発明にかかるレーザービームの走査速度は前述の如くビームスポット径×5000/秒以上とされ、通常最大でもビームスポット径×500000/秒以下とされる。なお、具体的には40m/秒以下とされることが好ましい。これにより、非晶質半導体薄膜は完全な熔融状態に至ることなく結晶化し、多結晶半導体薄膜とすることができる。

【0026】以下、その理由をレーザービームを走査照射するときの非晶質半導体薄膜の変化の時のレーザーパワーとの関係から説明する。

【0027】まず、ある走査速度において照射レーザーパワーを十分に小さい値から増加させるとき、非晶質半導体薄膜が結晶化を示し始めて多結晶半導体薄膜となる第1のレーザーパワー閾値が現れる。更にレーザーパワーを増加させると、ついに半導体薄膜が熔融状態に至り、第2のレーザーパワー閾値が見出される。

【0028】安定して多結晶半導体薄膜とするために、この第1、第2の両レーザーパワー閾値の間で照射レーザーパワーを選択する必要がある。しかし、走査速度が遅い場合、この両レーザーパワー閾値の間隔が小さくなり、更に遅くした場合には両閾値間に、安定して多結晶半導体薄膜となすのに適したレーザーパワーの設定マージンが存在しなくなる。これに対し、走査速度が速い場合、遅い場合に比較してレーザーパワーの閾値は共に増加し同時に間隔は開き、レーザーパワーの設定マージンが広がる。本発明はこの走査速度をビームスポット径×5000/秒以上とする。

【0029】ここで、走査速度の望ましい範囲がビームスポット径との関係で存在する理由は、ビームスポット径より充分に小さい被照射部分について見ると、ある走査速度の場合照射速度がビームスポット径に比例し、照射エネルギーがこの照射時間にほぼ比例するという関係にあるからである。以上の理由から、走査速度は、ビームスポット径×5000/秒以上とされる。

【0030】これによって、非晶質半導体薄膜は完全な熔融状態に至ることなく結晶化し、極く短時間のうちに、多結晶半導体薄膜となることができ、耐熱温度の低い安価なガラス基板の使用が可能であり、かつ、基板サイズの大形化も容易に対応可能である。

【0031】さらに、レーザーパワーの設定マージンが広がるので、温度制御が容易となり、かつ走査速度が速いので生産性も向上する。なお、非晶質シリコン膜に

レーザービームを走査照射する際、非晶質半導体膜上に予め酸化シリコン膜や窒化シリコン膜等の絶縁膜を形成し、レーザービームの反射防止膜あるいは表面保護膜として用いても良い。

【0032】

【実施例】以下、本発明を、実施例によってさらに詳しく説明する。

【実施例1】ガラス基板（旭硝子（株）製ANガラス）上にプラズマCVD法により膜厚200nmのSiO₂によるパッシベーション膜および膜厚100nmのa-Siによる非晶質半導体層をガラス基板の温度450℃で形成した。

【0033】このa-Siの含有水素量は約5原子%であった。次にフォトリソグラフィによりa-Siを島状にパターン化し、その上にプラズマCVD法により膜厚200nmのSiONからなるゲート絶縁膜を300℃にて堆積し、さらにゲート材料として膜厚150nmのCrを電子線加熱蒸着法により300℃で蒸着した。

【0034】フォトリソグラフィによりゲートのパターンにゲートの電極となる導体部分を形成、ゲート絶縁膜もゲートと同じパターンにエッチングした。さらにイオン注入法によりゲートのCrをマスクにa-Siの島のソース・ドレイン領域になる部分に、Pイオンを加速電圧10kV、ドーズ量 2×10^{15} 個/cm²の条件でドーピングした。ここでガラス基板裏面より8Wのアルゴンイオンレーザー光を約50μm径に集光、照射し、a-Siの多結晶化と不純物イオンの活性化を同時に行った。このときのレーザー光の走査速度は13m/s（ビームスポット径の 26×10^4 倍/秒）であった。

【0035】さらに層間絶縁膜として膜厚300nmのSiONを堆積し、ソース・ドレイン領域上にコンタクトホールを形成し、その上にソース・ドレインの電極となる導体部分を形成した。このようにして同一基板上に100個TFTを形成し、ソース・ドレイン領域の導電率を測定した結果、100個すべてのTFTが、 $80 \Omega^{-1} \text{cm}^{-1}$ 以上であった。

【0036】【実施例2】ガラス基板（コーニング社製7059）上にプラズマCVD法により膜厚200nmのSiO₂によるパッシベーション膜および膜厚200nmのa-Siによる非晶質半導体層を基板温度300℃で形成した。

【0037】このa-Siの含有水素量は約18原子%であった。窒素気流中450℃にて30分間熱処理を行い、a-Siの含有水素量は約10原子%に減少した。フォトリソグラフィによりa-Siを島状にパターン化し、その上にプラズマCVD法により膜厚250nmのSiN_xからなるゲート絶縁膜を350℃にて堆積し、さらにゲート材料として膜厚150nmのAlをスパッタリング法により150℃で蒸着した。

【0038】フォトリソグラフィによりゲートのパタ

ーンにゲートの電極となる導体部分を形成、ゲート絶縁膜もゲートと同じパターンにエッチングした。さらにイオン注入法によりゲートのAlをマスクにa-Siの島のソース・ドレイン領域になる部分に、BF₃イオン(x=0~3)を加速電圧20kV、ドーズ量4×10¹⁵個/cm²の条件でドーピングした。

【0039】ここでガラス基板裏面より9Wのアルゴンイオンレーザー光を約100μm径に集光、照射し、a-Siの多結晶化と不純物イオンの活性化を同時に行った。このときのレーザー光の走査速度は1.2m/s(ビームスポット径の12,000倍)であった。さらに層間絶縁膜として膜厚300nmのSiONを堆積し、ソース・ドレイン領域上にコンタクトホールを形成し、その上にソース・ドレインの電極となる導体部分を形成した。このようにして同一基板上に100個TFTを形成し、ソース・ドレイン領域の導電率を測定した結果、100個すべてのTFTが、40Ω⁻¹cm⁻¹以上であった。

【0040】【実施例3】a-Siの膜厚を50nm、300nm、400nmとし、他の条件はすべて実施例1、2と同一にしてTFTを製造した。結果は実施例1、2と同じであった。

【0041】【実施例4】a-Si膜の含有水素量を4、6、8、10原子%とし、他の条件はすべて実施例1、2と同一にしてTFTを製造した。結果は実施例1、2と同じであった。

【0042】【実施例5】レーザー照射直前のガラス基板の温度を、10、30、50、80℃とし、他の条件は実施例1、2と同一にしてTFTを製造した。結果は実施例1、2と同じであった。

【0043】【比較例】以下、不純物イオンの活性化を熱処理により行う比較例を説明する。ガラス基板(コーニング社製7059)上にプラズマCVD法により膜厚200nmのSiO₂によるパッシベーション膜および200nm厚のa-Siによる非晶質半導体層を基板温度300℃で形成した。

【0044】このa-Siの含有水素量は約18%であった。窒素気流中450℃にて30分間熱処理を行い、a-Siの含有水素量は約10%に減少した。ここで6Wのアルゴンイオンレーザー光を約50μm径に集光、走査速度13m/sで照射し、a-Siの多結晶化を行った後、フォトリソグラフィーによりpoly-Siを島状にパターン化し、その上にプラズマCVD法によりSiN膜厚250nmからなるゲート絶縁膜を350℃にて堆積し、さらにゲート材料としてAl膜厚150nmをスパッタリング法により150℃で蒸着した。

【0045】フォトリソグラフィーによりゲートのパターンにゲートの電極となる導体部分を形成、ゲート絶縁膜もゲートと同じパターンにエッチングした。さらにイオン注入法によりゲートのAlをマスクにpoly-Siの島のソース・ドレイン領域になる部分に、BF₃イ

オン(x=0~3)を加速電圧20kV、ドーズ量4×10¹⁵/cm²の条件でドーピングした。

【0046】ここで不純物イオンの活性化のための熱処理を300℃または400℃または550℃にて60分間行った。さらに層間絶縁膜としてSiON300nmを堆積し、ソース・ドレイン領域上にコンタクトホールを形成し、その上にソース・ドレインの電極となる導体部分を形成した。

【0047】このようにして同一基板上に100個TFTを形成し、ソース・ドレイン領域の導電率を測定した結果、300℃で活性化のための熱処理を行った基板は約0.5Ω⁻¹cm⁻¹と不十分な導電率であった。400℃で熱処理を行った基板では約4Ω⁻¹cm⁻¹で導電率はまだ不足であり、またAlの配線が熱によりダメージを受けいわゆるヒロックを発生していた。

【0048】550℃で熱処理した基板では約40Ω⁻¹cm⁻¹と導電率はかなり良好であったが、Alの損傷は更に激しく一部断線した部分もあった。またこの温度では熱処理によるガラス基板の収縮・変形も大きく、100mmに対して約4μm収縮しており、より大きなガラス基板を使用することは不可能と考えられる。

【0049】

【発明の効果】本発明は基板裏面よりレーザー光照射することによりチャネル領域の多結晶化、ソース・ドレイン領域の多結晶化・活性化を同時に行うものであるため、従来の熱処理による活性化の場合とくらべてソース・ドレイン領域の導電率を大きく向上させることができる。

【0050】たとえばPイオンを注入したn型の場合従来の熱処理(500℃1時間)では導電率7Ω⁻¹cm⁻¹程度であるのに対し、本発明のレーザー光照射による方法によれば約80Ω⁻¹cm⁻¹と1桁以上向上させることができた。これによりトランジスタのオン電流が増加しオフ電流は変化しないため、TFTの駆動能力が増大し、アクティブマトリクス走査線数を増加させることができ、より精細なディスプレイを製造することができる。

【0051】また熱処理を行わないため、生産性の良い、耐熱性の低いガラス基板等を使用でき、大面積の基板を使用することができ、大面積ディスプレイを実現すること、あるいは大面積の基板から複数個の製品を製造しコストダウンを図ることができるようになった。また熱処理を行わないため低熔点低抵抗のAlを配線材料として用いることができ、大面積ディスプレイの配線抵抗の増大の問題も解決できる。

【0052】更に本発明の製造方法ではチャネル部分の多結晶化も同時に行うため、工程数の点でも従来法よりソース・ドレイン領域活性化のための熱処理の分だけ減少させることができるという効果も認められる。

【図面の簡単な説明】

【図1】(a)、(b)および(c)は、本発明の製造

方法の、それぞれ最初の段階、次の段階、および最終段階を示す断面図。

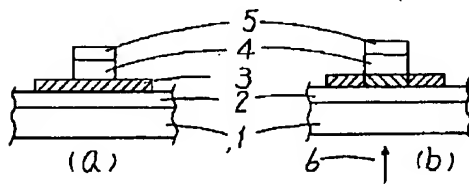
【図2】(a) および (b) は、従来のTFTの製造方法の、それぞれの最初の段階および次の段階を示す断面図。

【図3】レーザー光照射前後のシリコン薄膜中の不純物イオン分布を示す特性図。

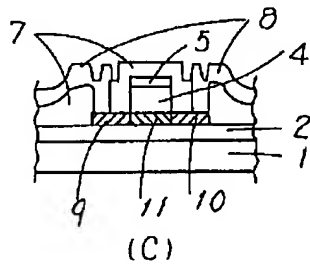
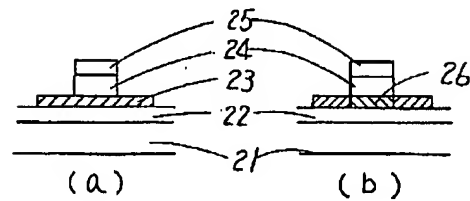
【符号の説明】

- 1 透明絶縁基板
- 2 パッシベーション膜
- 3 非晶質半導体層
- 4 ゲート絶縁膜
- 5 ゲートの電極になる導体部分
- 6 レーザー光

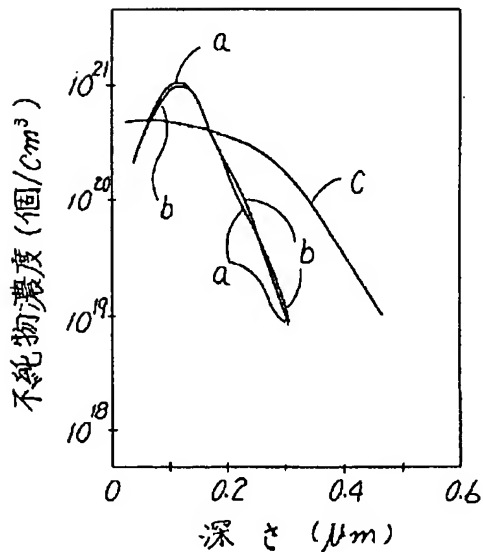
【図1】



【図2】



【図3】



フロントページの続き

(51) Int. Cl. 5

H01L 27/12

識別記号

庁内整理番号

R 8728-4M

F I

技術表示箇所

PAT-NO: JP404226039A
DOCUMENT-IDENTIFIER: JP 04226039 A
TITLE: MANUFACTURE OF POLYCRYSTALLINE SILICON
THIN-FILM TRANSISTOR, AND ACTIVE MATRIX SUBSTRATE
PUBN-DATE: August 14, 1992

INVENTOR-INFORMATION:
NAME
MASUSHIGE, KUNIO
YUKI, MASAKI

ASSIGNEE-INFORMATION:
NAME COUNTRY
ASAHI GLASS CO LTD N/A

APPL-NO: JP03115464
APPL-DATE: April 19, 1991

INT-CL (IPC): H01L021/336, H01L029/784 , H01L021/20 ,
H01L021/268 , H01L027/12

ABSTRACT:

PURPOSE: To produce a large-area TFT substrate with good productivity.

CONSTITUTION: A gate insulator 4 and a gate electrode are formed on a non-single-crystal semiconductor 3, and this gate electrode is used as a mask to implant impurity into the semiconductor 3 for source and drain regions. Then, a laser beam 6 is applied on the back surface of a transparent substrate 1 so that, though the semiconductor 3 is not perfectly melted, it can be polycrystalline or improved in crystallinity under the gate electrode, while it can be polycrystalline and activated, or activated and improved in

crystallinity, in the source and drain regions.

COPYRIGHT: (C)1992,JPO&Japio